

(11)Publication number : 06-012333
(43)Date of publication of application : 21.01.1994

(51)Int.Cl.

G06F 12/14

(21)Application number : 04-167283

(71)Applicant : HITACHI LTD
HITACHI COMPUT ENG CORP LTD

(22)Date of filing : 25.06.1992

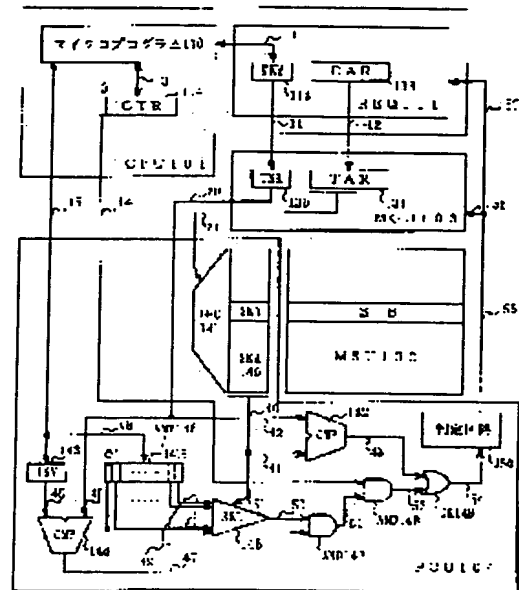
(72)Inventor : SHIMURA NOBUYUKI
HIBI KAZUO

(54) STORAGE PROTECTION SYSTEM OF INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To obtain a more flexible key control storage protecting mechanism without greatly altering the hardware of a conventional protecting mechanism by providing a means which holds storage protection decision information, a means which reads the storage protection decision information out, and a means which determines the adequacy of access.

CONSTITUTION: The 1st means holds the storage protection decision information characteristic to all or some of combinations of protection keys which are usable by access sources and hold by a processor key(PKY) 112 and main storage keys which are settable in an accessed main storage block and held by a main storage key array(SKA) 140. The 2nd means reads out only one storage protection decision on for a combination of the protection key held by the 1st means and the main storage key according to the protection key and main storage key when the access source accesses the main storage device MSU 102. Then the 3rd means decides the adequacy of the access according to the storage protection decision information read out by the 2nd means.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】少なくとも1つの中央処理装置と、主記憶装置を有する情報処理装置であって、
該中央処理装置は保護キーを具備し、

該主記憶装置は複数のブロックに分割され、各ブロックは主記憶キーを具備し、

該中央処理装置が該主記憶装置をアクセスする際、該保護キーと主記憶キーとが比較され、

それが一致したか否かで主記憶装置アクセスの許可不許可を決定する記憶保護機構を具備した情報処理装置において、

前記保護キーと前記主記憶キーとの組み合わせで決定される唯一の記憶保護判定情報を、前記保護キーと前記主記憶キーとの全ての、もしくは、一部の組み合わせで保持する第1の手段と、

前記中央処理装置が前記主記憶装置をアクセスする際、前記中央処理装置が保持する前記保護キーと、被アクセス主記憶ブロックが保持する前記主記憶キーとの組み合わせに従い、前期第1の手段に保持されている、当該保護キーと主記憶キーの組み合わせに唯一の該記憶保護判定情報を読み出す第2の手段と、

前第2の手段で読み出された記憶保護判定情報に従って、当該アクセスの妥当性を決定する第3の手段とを具備することを特徴とする情報処理装置の記憶保護方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、情報処理装置の記憶保護機構に係わり、とりわけ、柔軟性のある主記憶保護機構を具備する情報処理装置の提供に好適な記憶保護機構に係わる。

【0002】

【従来の技術】計算機のソフトウェア利用状況において、マルチタスクプログラミングはごく一般に行われている。このような状況の中では、各プログラム間の記憶保護が重要である。大型計算機に於ける記憶保護機構は複数のメカニズムが採用されているが、その基本となるのは、多重仮想空間によるプログラム動作空間の分割と、キー制御記憶保護である。

【0003】多重仮想空間によるプログラム動作空間の分割により、各プログラム間の記憶保護は完全に達成される。しかしながら、一つのプログラム空間内に於いてもユーザープログラムとシステムプログラムが混在するのが通常であり、それらプログラム間での記憶保護を実現するため、キー制御記憶保護が用いられる。

【0004】このキー制御記憶保護機構の基本的動作は以下の通りである。

【0005】(1)主記憶装置を4096バイトの大きさのブロックに分割されており、

(2)各ブロックには、主記憶キーが設定され、

る。

【0006】(4)主記憶アクセス時には、アクセス元の保護キーと被アクセス主記憶ブロックの主記憶キーが比較され、基本的には、両者が一致しないと該アクセスは許可されない。

【0007】

【発明が解決しようとする課題】一つのプログラムが動作するときには、スーパーバイザプログラムにより、該プログラムに割り当てた主記憶領域には然るべき主記憶キーが設定され、該プログラムに対しても然るべき保護キーの使用が許可される。

【0008】もし同一空間内に、特権レベルの異なるプログラムが混在する場合は、各プログラムの主記憶領域には別々の主記憶キーが設定される。たとえば、特権レベルAのプログラムに割り当てられた領域には主記憶キーとして14が設定され、特権レベルBのプログラムに割り当てられた領域には主記憶キーとして15が設定される。

【0009】さきに述べた従来技術によれば、例えば特権レベルAのプログラムが両プログラムの領域をアクセスしようとする場合、その都度保護キーを書き換える必要がある。例えば、特権レベルAのプログラムが自分自身の主記憶領域をアクセスするときには、保護キーとして14を使用しなければならない。一方、特権レベルAのプログラムが特権レベルBの主記憶領域をアクセスするときには、保護キーとして15を使用しなければならない。すなわち、いちいち保護キーを変更する必要があるのであって、これは、プログラムの性能上無視できないオーバーヘッドとなりうる。

【0010】ここで、若干の考察を行ってみよう。かかる事態の中で、以下事実、および、要求はもっともなものである。

【0011】(1)一般論としてシステムプログラムはユーザープログラムよりも信頼性が高い、

(2)システムプログラムはユーザープログラム領域を場合によっては頻繁にアクセスする必要がある。

【0012】(3)ユーザープログラムの不良によってシステムプログラム領域を破壊される事態だけは避けたい。

【0013】もし、記憶保護機構を改造し、たとえば、リング記憶保護の概念を導入すれば解決できる事は明らかである。

【0014】しかし、それは、多大なハードウェアの変更を伴うものである事は想像にかたくない。

【0015】ならば、特定の保護キーと主記憶キーとの組み合わせのみ例外的にアクセスを許可する事でかかる事態を乗り切ろうとする事は、汎用大型計算機を設計している立場からみると、かなり現実的な話である。

【0016】例えば、目下、先にあげた理由により性能

ムは、特権レベルAのサブプログラムと、特権レベルBのサブプログラムからなり、それぞれに割り当てられた主記憶領域の主記憶キーがそれぞれ14と15と判明しているならば、その組み合わせに限ったハードウェアの変更を行えばよい。具体的には、保護キーが14ならば、従来の主記憶キー14のみならず、主記憶キー15もアクセス許可されるようにする。

【0017】これならば、さほどハードウェアの変更を伴わなくても実現できる。が、保護キーと主記憶キーの他の組み合わせについては全く対応できない。どうしても対応せざるをえないならば、再度のハードウェアの変更を実施しなければならない。

【0018】本発明の目的とするところは、従来のキー制御記憶保護機構より柔軟な記憶保護機構を、従来のキー制御記憶保護機構ハードウェアに大幅な変更を加える事なく実現する事にある。

【0019】より具体的な本発明の目的は、以下の点にある。

【0020】(1) 従来からのキー制御記憶保護機構を具備する計算機システムに於いて、主記憶装置をアクセスする際、アクセス元が使用する一つの保護キーとは異なる主記憶キーが設定されている記憶ブロックをアクセスできる様にすること。

【0021】(2) 上記目的を、大幅なハードウェアの変更なく実現すること。しいては、ハードウェアコストの増加を招くことなく実現すること。

【0022】(3) 任意の保護キーと主記憶キーの組み合わせでも、(1)の目的を達成できる事。

【0023】(4) 前記第3の目的を、ハードウェアの変更を行う事無く、達成できる事。

【0024】

【課題を解決するための手段】

(1) アクセス元が使用しうる保護キーと、被アクセス主記憶ブロックに設定しうる主記憶キーとの全ての組み合わせごとに固有の、あるいは、一部の組み合わせごとに固有の、記憶保護判定情報を保持する第1の手段。

【0025】(2) 主記憶装置のアクセスが行われる際、前記第1の手段により保持されており、アクセス元の使用する保護キーと被アクセス主記憶ブロックが保持する主記憶キーによって決定される、唯一の記憶保護判定情報を読み出す第2の手段。

【0026】(3) 前記第2の手段で読み出された記憶保護判定情報に従って、当該アクセスの妥当性を決定する第3の手段。

【0027】

【作用】前記第1の手段は、アクセス元が使用しうる保護キーと、被アクセス主記憶ブロックに設定しうる主記憶キーとの全ての組み合わせごとに固有の、あるいは、一部の組み合わせごとに固有の、記憶保護判定情報を保

【0028】アクセス元が主記憶装置をアクセスする際、アクセス元が使用する保護キーと、被アクセス主記憶ブロックに設定されている主記憶キーとにより、前記第2の手段は、前記第1の手段が保持している、当該保護キーと主記憶キーの組み合わせに唯一の記憶保護判定を読みだす。

【0029】第2の手段により読み出された記憶保護判定情報に従い、前記第3の手段は当該アクセスの妥当性を判定する。

【0030】

【実施例】本発明の一実施例を、図1を用いて説明する。

【0031】図1は、本発明の1実施例を説明するための機能ブロック図である。

【0032】中央処理装置（以下CPUと略す）101は、本実施例に示す情報処理装置の中心を成すものである。

【0033】主記憶装置（以下MSUと略す）102は、CPU101が実行すべき命令を保持し、また、その命令に必要なデータを保持する。

【0034】CPU101はMSU102に格納されている命令を読みだし、解読し、実行する。命令の実行に際しては、多くの場合、やはりMSU102に格納されているデータをアクセス（参照あるいは更新）する。

【0035】主記憶制御装置（以下MCUと略す）103は、CPU101がMSU102をアクセスする際の制御を行う。

【0036】記憶保護制御装置（以下PCUと称す）104は、CPU101がMSU102をアクセスする際、そのアクセスの権限をチェックする。

【0037】以下、順次各装置についての詳細を説明する。

【0038】〔中央処理装置101〕中央処理装置（CPU）101は、本実施例に示す情報処理装置の中心をなす装置である。

【0039】マイクロプログラム110は、CPU101全体の制御を行う。

【0040】主記憶装置アクセス要求回路（以下REQと称す）111は、CPU101がMSU102に対してアクセス動作を行う際の制御を行う。

【0041】プロセキサー（以下PKYと称す）112は、CPU101がMSU102をアクセスする際の保護キーの値を保持するレジスタであり、信号線10を介してマイクロプログラム110によりデータの設定・読みだしが行われる。

【0042】データアドレスレジスタ（以下DARと略す）113は、CPU101がMSU102をアクセスする際のデータアドレスを保持するレジスタである。

【0043】CPU101がMSU102をアクセスす

一と、DAR113が保持するデータアドレスとそれぞれ信号線11、12を介してMCU103へ送出する。

【0044】CTR114は、マイクロプログラム110により読み書きされるレジスタである。本実施例に於いて、CTR114は32ビットのレジスタであり、各々のビットを順にビット0、ビット1・・・ビット30、ビット31として識別する。CTR114ビット0の保持する値は、信号線14を介してPCU104へ送出される。なお、CTR114ビット0の値は、以下説明に於いて大切な役割をはたすが、本発明に固有のものではない。

【0045】主記憶装置(MSU)102は、CPU101が実行すべき命令を保持し、また、その命令の実行に必要なデータを保持する。

【0046】MSU102が保持するデータは、MCU103によってその読み書きが制御される。

【0047】MSU102は、記憶保護機能を実現するために複数の記憶ブロックに分割されている。本実施例に於いては、各記憶ブロックは4096バイトの大きさである。各記憶ブロックは、それぞれに固有の主記憶キーを設定することができる。実際には、各記憶ブロックに設定されている主記憶キーは、PCU104内に保持されている。

【0048】主記憶制御回路(MCU)103は、CPU101がMSU102をアクセスする際の制御を行う。

【0049】テンポラリキーレジスタ103(以下TKR130と称す)は、CPU101内のPKY112から信号線11を介して送出されてくる保護キーを一時的に保持するレジスタである。その保持する値は、信号線20を介してPCU104へ送出される。

【0050】テンポラリアドレスレジスタ131(以下TAR131と称す)は、CPU101内のDAR113から信号線12を介して送出されてくるアドレスを一時的に保持するレジスタである。その保持する値は、MSU102へアクセス制御に用いられる。さらに、その保持する値は、信号線21を介してPCU104へ送出される。

【0051】記憶保護制御装置(PCU)104は、CPU101がMSU102をアクセスする際、そのアクセスの権限をチェックする。

【0052】主記憶キーアレイ(以下SKAと略す)140は、MSU102の各記憶ブロックごとの主記憶キーを保持するメモリである。

【0053】デコーダ(以下DECと略す)141は、MCU103から信号線21を介して送出されてくるアドレスをデコードし、そのアドレスの記憶ブロックに対応する主記憶キーを選択するデコーダである。選択された主記憶キーは、信号線40へ送出される。

TKR130から信号線20、42と経由して入力される値と、SKA140から信号線40、41と経由して入力される値とを比較し、比較結果が等しいならば

「1」なる値を、等しくないならば「0」なる値を信号線43へ出力する比較回路である。

【0055】識別キーレジスタ(以下IKYと略す)143は、信号線15、44を介してマイクロプログラム110によりその値を設定・読み出しされるレジスタである。その保持する値は、信号線45を介して比較回路144へ出力される。

【0056】比較回路(CMP)144は、TKR130から信号線20、46と経由して入力される値と、IKY143から信号線45を介して入力される値とを比較し、比較結果が等しいならば「1」なる値を、等しくないならば「0」なる値を信号線47へ出力する比較回路である。

【0057】アクセスマスクレジスタ(以下AMRと略す)145は、信号線15、48を介してマイクロプログラム110によりその値を設定・読み出しされるレジスタである。本実施例に於いては、AMR145は16ビットのレジスタであり、各々のビットを順にビット0、ビット1・・・ビット14、ビット15として識別する。各ビットが保持する値は「0」か「1」であり、それらの値は信号線群49を介して選択回路146へ出力される。

【0058】信号線群49は、各々がAMR145の各ビットに対応した16本の信号線であり、AMR145が保持する各ビットの値をSEL146へ入力する。

【0059】選択回路(以下SELと略す)146は、SKA140から信号線40、51を経由して入力される値に従い、信号線AMR145から信号線群49を介して入力される16個の入力から1つを選択して信号線50へ出力する選択回路である。本実施例に於いては、信号線51は4ビット幅であり、従って、そのとりうる値は0から15(10進)までの16種類である。そして、この値がnの時AMR145のビットnから送出されてくる値を信号線50へ出力する。例えば、この値が3ならば、AMR145のビット3から送出されてくる値を、この値が14ならば、AMR145のビット14から送出されてくる値を出力する。

【0060】論理積回路(以下ANDと略す)147は、CMP144から信号線47を介して入力される値と、SEL146から信号線50を介して入力される値との論理積をとり、その結果を信号線52へ出力する2入力の論理積回路である。2つの入力と共に「1」の時のみ「1」なる値を、そうでないならば「0」なる値を出力する。

【0061】ここで、IKY143、CMP144、AMR145、SEL146、AND147は、本発明に

す。これらがいかにして本発明の効果をもたらすかは、以下の説明の中で明らかになるであろう。

【0062】論理積回路(AND)148は、CTR114から信号線14を介して入力される値と、AND147から信号線52を介して入力される値との論理積をとり、その結果を信号線53へ出力する2入力の論理積回路である。2つの入力と共に「1」の時のみ「1」なる値を、そうでないならば「0」なる値を出力する。論理和回路(以下ORと略す)149は、CMP142から信号線43を介して入力される値と、AND148から信号線53を介して入力される値との論理和をとり、その結果を信号線54へ出力する2入力の論理和回路である。2つの入力のいずれかが「1」ならば「1」なる値を、そうでないならば「0」なる値を出力する。

【0063】判定回路150は、OR149から信号線54を介して入力される値を元にアクセス権限の判定を行う判定回路である。本実施例に於いては、信号線54から入力される値が「1」ならばアクセスを許可し、「0」でなければ不許可とする。判定が不許可の場合、「1」なる値をアクセス不許可信号として信号線55へ出力する。

【0064】このアクセス不許可信号は、信号線55、56を経由してMCU103へ伝達される。信号線56よりアクセス不許可信号を受けとったばあい、MCU103は、目下のMSU102に対するアクセス動作を中止する。

【0065】また、アクセス不許可信号は、信号線55、57を経由してREQ111へ伝達される。信号線57よりアクセス不許可信号を受けとったばあい、REQ111は、記憶保護例外処理を行う。

【0066】では次に、以上述べてきた各機能部位が、いかなる役割を果たすかを説明する。

【0067】いま、CPU101がMSU102をアクセスしようとしている。そして、そのアクセス対象となるアドレスを含む記憶ブロックをSBとする。さらに、当該記憶ブロックに対応する主記憶キー：SKYはSKA140に設定されているものとする。

【0068】また、CPU101の目下のアクセス権を示す保護キー：PKYがPKY112に設定されているものとする。

【0069】なお、今回の場合、CTR114ビット0には「0」なる値が設定されているものとする。

【0070】先ず、PKY112の保持する保護キー：PKYが、信号線11を介してMCU103へ送出される。同時に、アクセス対象となるアドレスがDAR113へ設定され、さらに、そのアドレスは信号線12を介してMCU103へ送出される。

【0071】MCU103は、信号線11、12を介して伝達される保護キー：PKYとアクセス対象アドレス

そしてTAR131の保持するアドレスに従い、MSU102のアクセス動作を開始する。

【0072】同時にMCU103は、TKR130が保持する保護キー：PKYと、TAR131が保持するアクセス対象アドレスは、それぞれ信号線20、21を介してPCU104へ送出する。

【0073】PCU104は、信号線21を介して伝達されるアクセス対象アドレスをDEC141へ入力する。DEC141は、SKA140が保持している多数の主記憶キーの中から、アクセス対象ブロックSBに対応する主記憶キー：SKYを選択し、信号線40、41を経由してCMP142へ入力する。

【0074】CMP142のもう一方の入力は、TKR130から信号線20、42を経由して伝達される保護キー：PKYである。

【0075】CMP142は、上記2入力の比較を行い、信号線43に出力する。すなわち、

「主記憶キー：SKY」＝「保護キー：PKY」
なる条件が成立したときのみ信号線43へ「1」なる値が出力され、

「主記憶キー：SKY」≠「保護キー：PKY」

ならば、信号線43へは「0」なる値が出力される。

【0076】CMP142の出力信号は信号線43を介してOR149へ入力される。OR149のもう一方の入力は、信号線53を介して入力されるAND148の出力である。AND148の一つの入力は信号線14を介して入力されるCTR114ビット0の値であるが、CTR114ビット0には前もって「0」なる値が設定されているのでAND148の出力は常に「0」であり、その値が信号線53を介してOR149へ入力されている。従って、OR149の出力は信号線43を介して入力されるCMP142の出力信号の値となり、それは、信号線54を介して判定回路150へ入力される。

【0077】判定回路150は、信号線54を介して入力される値が「1」ならばアクセス許可と判定し、

「0」ならばアクセス不許可と判定するのであるから、以上まとめるとアクセス許可となる条件は以下になる。

【0078】『「主記憶キー：SKY」と「保護キー：PKY」とが等しい』…(条件1) 次に、本発明に固有の働きについて説明する。

【0079】先ず、一般的な動作を図1に即して説明する。

【0080】いま、CPU101がMSU102をアクセスしようとしている。そして、そのアクセス対象となるアドレスを含む記憶ブロックをSBとする。さらに、当該記憶ブロックに対応する主記憶キー：SKYはSKA140に設定されているものとする。

【0081】またCPU101の目下のアクセス権を示

のとする。

【0082】なお、今回の場合、CTR114ビット0には「1」なる値が設定されているものとする。CTR114のビット0に「1」になる値を設定することで、本発明に固有の効果を有効にすることができる。

【0083】まず、PKY112の保持する保護キー：PKYが、信号線11を介してMCU103へ送出される。同時にアクセス対象となるアドレスがDAR113へ設定され、さらに、そのアドレスは信号線12を介してMCU103へ送出される。

【0084】MCU103は、信号線11、12を介して伝達される保護キー：PKYとアクセス対象アドレスとそれぞれTKR130、TAR131に保持する。そして、TAR131の保持するアドレスに従い、MSU102のアクセス動作を開始する。

【0085】同時にMCU103は、TKR130が保持する保護キー：PKYと、TAR131が保持するアクセス対象アドレスは、それぞれ信号線20、21を介してPCU104へ送出する。

【0086】PCU104は、信号線21を介して伝達されるアクセス対象アドレスをDEC141へ入力する。DEC141は、SKA140が保持している多数の主記憶キーの中から、アクセス対象ブロックSBに対応する主記憶キー：SKYを選択し、信号線40、41を経由してCMP142へ入力する。

【0087】CMP142のもう一方の入力は、TKR130から信号線20、42を経由して伝達される保護キー：PKYである。

【0088】CMP142は、上記2入力の比較を行い、信号線43に出力する。

【0089】すなわち、CMP142の出力値は、『「主記憶キー：SKY」と「保護キー：PKY」とが等しい』・・・(条件1)という「条件1」が成り立つ時のみ「1」となり、そうでないならば「0」となる。

【0090】これは、既に説明したとおりであり、本発明に固有の動作ではない。上記で説明した動作と並行して進行する、本発明に固有の動作を引き続き説明する。

【0091】PCU104は、信号線20を介して伝達されるTKR130の保持する保護キー：PKYを、信号線46を介してCMP144へ入力する。CMP144のもう一方の入力は、信号線45を介して入力されるIKY143が保持している識別キー：IKYである。

【0092】従って、CMP144の出力値は、「識別キー：IKY」＝「保護キー：PKY」なる条件が成立したときのみ「1」となり、「識別キー：IKY」≠「保護キー：PKY」ならば、「0」となる。

【0093】同時にDEC141によって選択された主記憶キー：SKYは、信号線40、51を経由してSEL149へ伝達される。SEL146は、信号線51を

される16個の信号から1つを選択して信号線50へ出力する。信号線49は、それぞれAMR145に保持されている各ビットの値をSEL146へ伝達している。

【0094】従って、SEL146の出力値は、「主記憶キー：SKY」の値「n」に対応するAMR145のビットnの値が「1」である時「1」となり、「主記憶キー：SKY」の値「n」に対応するAMR145のビットnの値が「0」ならば、「0」となる。

【0095】上記説明したCMP144の出力値とSEL146の出力値は、それぞれ信号線47、50を介してAND147へ入力され、AND147は両入力の論理積をとって信号線52へ出力する。

【0096】すなわち、AND147の出力値は、

『「識別キー：IKY」と「保護キー：PKY」とが等しく、かつ「主記憶キー：SKY」の値「n」に対応するAMR145のビットnの値が「1」、である』・・・(条件2)という「条件2」が成り立つ時のみ「1」となり、そうでないならば「0」となる。

【0097】AND147の出力は信号線52を介してAND148へ入力される。AND148のもう一方の入力は信号線14を介して入力されるCTR114ビット0の値であるが、CTR114ビット0には前もって「1」なる値が設定されている。

【0098】従って、AND148は信号線52を介して入力されるAND147の出力値をそのまま信号線53へ出力し、OR149へ入力する。

【0099】OR149は、信号線43を介して入力されるCMP142の出力値と、信号線53を介して入力されるAND148の出力値との論理和を信号線54を介して判定回路150へ入力する。すなわち、上記「条件1」か「条件2」のいずれかが成り立つときOR149は「1」なる値を、そうでないならば「0」なる値を判定回路150へ入力する。

【0100】判定回路150は、信号線54を介して入力される値が「1」ならばアクセス許可と判定し、「0」ならばアクセス不許可と判定するものであるから、以上まとめるとアクセス許可となる条件は以下のようになる。

【0101】『「主記憶キー：SKY」と「保護キー：PKY」とが等しい、または、「識別キー：IKY」と「保護キー：PKY」とが等しく、かつ、「主記憶キー：SKY」の値「n」に対応するAMR145のビットnの値が「1」、である』・・・(条件3)なお、今回はCTR114ビット0の値を「1」に前もって設定していたが、もし「0」に設定しているならば、AND148の出力する値は、信号線52を介して入力されるAND147の出力値に拘らず「0」となる。従って、OR149が出力する値は常に信号線43を介して入力されるCMP142の出力値であり、この場合、

を与えないことは明らかである。

【0102】さて、最後に、具体的な説明をつけ加えよう。

【0103】先に説明したように、従来技術による限り、保護キー以外の値を主記憶キーとして設定された記憶ブロックをアクセスすることは不可能であった。

【0104】たとえば保護キー：PKYとして14（16進表記で「E」）なる値が設定されている場合、主記憶キー：SKYとして15（16進表記で「F」）なる値が設定されている記憶ブロックをアクセスすることは不可能であった。そのため、主記憶キー：SKYとして15（16進表記で「F」）なる値が設定されている記憶ブロックをどうしてもアクセスしたいのならば、保護キー：PKYを15に再設定するしか手だてはなかった。

【0105】本発明によれば、保護キー：PKYを14のままで、主記憶キー：SKYとして15（16進表記で「F」）なる値が設定されている記憶ブロックをアクセスすることができる。

【0106】そのために、マイクロプログラム110は、以下の初期設定を行う。

【0107】(1) IKY143に14なる値を設定する。・・・（初期設定1）

(2) AMR145に「0001」（16進表記）なる値を設定する。すなわち、AMR145のビット0～ビット14にそれぞれ「0」なる値を、ビット15に「1」なる値を設定する。・・・（初期設定2）

この初期設定は、たとえば、本実施例に示す情報処理装置の電源投入時に既に行われているものとする。

【0108】CPU101がMSU102の記憶ブロックSBをアクセスしようとする。

【0109】このとき、「主記憶キー：SKY」＝15であり、「保護キー：PKY」＝14である。

【0110】このとき、さきに説明した「条件1」、「『主記憶キー：SKY』と「保護キー：PKY」とが等しい」・・・（条件1）は成り立たないので、従来技術による限りは本アクセスは許可されない。

【0111】しかし、「条件3」、「『主記憶キー：SKY』と「保護キー：PKY」とが等しい、または、「識別キー：IKY」と「保護キー：PKY」とが等しく、かつ、「主記憶キー：SKY」の値「n」に対応するAMR145のビットnの値が「1」、である。』・・・（条件3）は成り立つ。

【0112】なぜならば、「初期設定1」により「識別キー：IKY」には14が設定されているため、『「識別キー：IKY（＝14）」と「保護キー：PKY（＝14）」とが等しく』、かつ、「初期設定2」によりAMR145のビット15の値が「1」に設定されているため、『「主記憶キー：SKY（＝15）」の値「n

が「1」である』、からである。

【0113】そして、この具体例に於いては、保護キー：PKYを14のままで、主記憶キー：SKYとして15なる値が設定されている記憶ブロックをアクセスすることができる事を示した。しかしながら、既に明らかな事であろうが、本発明の固有の効果として、「初期設定1」と「初期設定2」の設定内容を変更する事により、何等ハードウェアを変更する事なく、保護キー：PKYと主記憶キー：SKYの組み合わせを変更する事ができる。

【0114】たとえば、保護キー：PKYを8のままで、主記憶キー：SKYとして9なる値が設定されている記憶ブロックをアクセスできるようにしたいならば、マイクロプログラム110は以下の様に初期設定すればよい。

【0115】(1) IKY143に8なる値を設定する。

【0116】(2) AMR145に「0040」（16進表記）なる値を設定する。すなわち、AMR145のビット0～ビット8、ビット10～ビット15にそれぞれ「0」なる値を、ビット9に「1」なる値を設定する。

【0117】さらに付け加えるならば、本発明の固有の効果として、「初期設定1」と「初期設定2」の設定内容を変更する事により、何等ハードウェアを変更する事なく、ある保護キー：PKYのままで複数の相異なる主記憶キー：SKYが設定されている記憶ブロックをアクセスできるように変更する事ができる。

【0118】たとえば、保護キー：PKYを8のままで、主記憶キー：SKYとして9、10、11なる値が設定されている複数の記憶ブロックをアクセスできるようにしたいならば、マイクロプログラム110は以下の様に初期設定すればよい。

【0119】(1) IKY143に8なる値を設定する。

【0120】(2) AMR145に「0070」（16進表記）なる値を設定する。すなわち、AMR145のビット0～ビット8、ビット12～ビット15にそれぞれ「0」なる値を、ビット9～ビット11、に「1」なる値を設定する。

【0121】

【発明の効果】以上説明してきたように、本発明によれば、従来のキー制御記憶保護機構より柔軟な記憶保護機構を、従来のキー制御記憶保護機構ハードウェアに大幅な変更を加える事なく実現する事ができる。

【0122】より具体的には、

(1) 従来からのキー制御記憶保護機構を具備する計算機システムに於いて、主記憶装置をアクセスする際、アクセス元が使用する一つの保護キーとは異なる主記憶キーが設定されている記憶ブロックをアクセスできる様にすることができる。

【0123】(2) 上記効果を、大幅なハードウェアの変

加を招くことなく達成できる。

【0124】(3)任意の保護キーと主記憶キーの組み合わせでも、(1)の目的を達成できる。

【0125】(4)前記第3の目的を、ハードウェアの変更を行う事無く、達成できる。

【図面の簡単な説明】

【図1】本発明の1実施例を説明するための機能ブロック図である。

【符号の説明】

CPU101…中央処理装置、
MSU102…主記憶装置、
MCU103…主記憶制御装置、
PCU104…記憶保護制御装置、
IKY143…識別キーレジスタ、
CMP144…比較回路、
AMR145…アクセスマスクレジスタ、
SEL146…セレクト、
AND147…論理積回路。

【図1】

図 1

